

“宇宙用太陽電池・半導体素子の耐放射線性の研究(V-II)
—薄膜型太陽電池・次世代小型、高性能宇宙用半導体デバイスに対する耐放射線性—
 A study of the radiation tolerance of solar cells and
 semiconductor devices for the space(V-II)

丸 明史¹⁾ 新藤 浩之¹⁾ 久保山 智司¹⁾ 阿部 浩之²⁾

Akifumi MARU Hiroyuki SHINDOU Satoshi KUBOYAMA Hiroshi ABE

¹⁾宇宙航空研究開発機構 ²⁾原子力機構

(概要)

宇宙航空研究開発機構は宇宙機に用いる部品の入手自在性を確保するため、戦略的部品の国産化を目指し、重要宇宙用部品の自主開発を進めている。次世代の重要宇宙用部品の製造プロセスとして、現在の0.15μmから更に微細化を進め、高速処理・低消費電力化を狙った90nm以下の製造プロセスでの耐放射線強化技術確立を目指し、研究を進めている。本年度は次世代宇宙用部品製造プロセスの一つとして可能性のある、65nm製造プロセスにおける耐放射線強化技術を獲得するために非常に強固な回路として知られているDICE(Dual Interlocked storage Cell)回路を発展させた強化回路を考案し、テスト回路を試作、その特性を評価した。

キーワード： 宇宙用部品、DICE、65nm

1. 目的

近年の宇宙機では、画像処理、高精度位置決定等の目的で、大容量のデータを高速に処理する電子機器が必要とされており、使用される半導体素子に対しても、一般民生用部品で適用されている最先端技術に匹敵する微細化が必要とされている。そのような微細プロセスにおいては単発粒子入射による複数トランジスタでの電荷収集(チャージシェアリング)の影響などにより、放射線による影響が非常に顕著になり、これまで有効とされてきた耐放射線回路が必ずしも有効で無くなることはこれまで数多くの研究結果から明らかになっている[1]。将来、宇宙用部品を微細化するに当たって、微細プロセス特有の回路対策が必須となる。そこで今回は微細プロセスにおける耐放射線強化技術を獲得するため、65nm製造プロセスを用いた耐放射線メモリ回路を試作、試作サンプルに対してカクテルイオンビームを照射し、このデバイスの耐放射線性を評価した。

2. 方法

図1に示すのが、今回試作したHyper DICE回路の回路コンセプトである。昨年度も同様の回路を試作したが、各トランジスタ間の物理的距離が不十分で近接していたことに起因し、設計時の予定通りの放射線耐性を実現することができなかった。今年度は上記の対策として図2に示す通り、通常のsingle heightレイアウトからdouble heightレイアウトにメモリセルのレイアウトを変更し、物理的距離を確保した設計とした。これにより単発粒子による複数トランジスタ反転の影響を緩和し、前年度試作回路よりも放射線耐性を高めることができる。本設計に基づくメモリ回路を3mm X 4mmのチップに8kB分設計し、試作サンプルを製造した。試験は入力データをAll“0”又はAll“1”としたスタティック試験を実施し、粒子の角度入射に対する耐性を確認するため、チップ面を傾け、回転させる試験も実施した。

3. 結果及び考察

チップ面を傾け、回転させた角度照射試験の結果、依然として回路の電源-Gndラインに沿った角度を中心に放射線感度がある角度が残存していることが分かった。トランジスタ間距離を確保したものの、予想よりも広範囲に粒子入射の影響が広がっているものと考えられ、レイアウト調整以外の対策を講じなければならない可能性がある。

4. 引用(参照)文献等

[1] A. Maru et al., IEEE Trans. Nucl. Sci. 57 (6) (2010) 3602-08

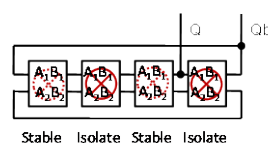


図1 Hyper DICE 回路設計コンセプト

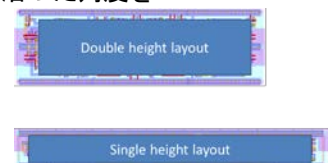


図2 Double height レイアウト