課題番号　2013B — E29

高移動度 MOSFET 実現に向けた高機能化 High-*k*/Ge ゲートスタックの界面設計

Interface Engineering of High-*k*/Ge Gate Stacks for High-mobility Ge-MOSFETs

渡部　平司[1)]　田中　亮平[1)]　細井　卓治[1)]　志村　考功[1)]
吉越　章隆[2)]　寺岡　有殿[2)]

Heiji WATANABE[1)]　Ryohei TANAKA[1)]　Takuji HOSOI[1)]　Takayoshi SHIMURA[1)]
Akitaka YOSHIGOE[2)]　Yuden TERAOKA[2)]

[1)]大阪大学　[2)]原子力機構

高性能ゲルマニウム（Ge）MOSFET の実現には、優れた絶縁性と界面特性を有する高誘電率ゲート絶縁膜（high-*k*）形成プロセスが必要である。Si-MOSFET で実用化された HfO_2 薄膜を Ge 基板上に堆積した場合、HfO_2/Ge 界面での HfGeOx 混合層の形成や GeO_x 界面層の増膜と分解が電気特性及び耐熱性を著しく劣化させる。本研究では、HfO_2/Ge 界面反応を抑制するために極薄 AlO_x 界面層を挿入した HfO_2/AlO_x/Ge 構造について、その熱的安定性を大型放射光施設 SPring-8 の BL23SU を用いた光電子分光法により評価した。

キーワード：ゲルマニウム（Ge），高誘電率（high-*k*）ゲート絶縁膜，耐熱性，界面反応

１．目的

次世代 CMOS デバイスでは、高移動度 Ge チャネル上で 1 nm 以下の等価 SiO_2 換算膜厚（EOT: Equivalent Oxide Thickness）の実現が求められており、そのためには high-*k*/Ge ゲートスタック技術が不可欠である。これまで我々は、Ge 基板上に成膜した金属 Hf の酸化による HfO_2/GeO_x/Ge の形成に関してプラズマ酸化が有効であり、また HfO_2 膜上に堆積するゲート電極材料に依存して GeO_x 界面層の還元反応が起こることを報告している[1]。さらに、プラズマ酸化により形成した $Pt/HfO_2/GeO_x$/Ge スタックの耐熱性評価を行い、HfO_2 膜と GeO_x 層間の界面反応による $HfGeO_x$ 形成に起因した電気特性劣化を確認している。近年、AlO_x 界面層を挿入した $HfO_2/AlO_x/GeO_x$/Ge スタックにおいて、EOT 0.76 nm で優れた MOSFET 動作を達成したとの報告がされている[2]。一方、HfO_x/Ge 構造にプラズマ酸化を施した場合、顕著な絶縁特性および界面特性の劣化が見られたことから、AlO_x 界面層挿入による HfO_2 膜および GeO_x 膜の膜質向上が示唆されているが、AlO_x 界面層の物理的役割は未だ明らかとなっていない。そこで本研究では、AlO_x 界面層挿入効果を調べるため、$HfO_2/AlO_x/GeO_x$/Ge スタックを作製し、放射光光電子分光法（Synchrotron Radiation Photoelectron Spectroscopy: SR-PES）による界面構造評価ならびに電気特性評価を行った。

２．方法

p 型 Ge(100)基板を洗浄し、超高真空中で 500°C、30 分間の表面清浄化アニールを施した後、1.0×10^{-4} Pa の減圧酸素雰囲気下で 0.15 nm または 0.3 nm の AlO_x 膜を室温で堆積した。続いて、基板温度を室温、投入電力 50 W の条件で ECR プラズマ酸化を 5 分間施して Al_2O_3/GeO_x/Ge 構造を形成した。同様の減圧酸素雰囲気下で電子ビーム蒸着により HfO_x 膜を 1 nm 堆積した後、再び室温でプラズマ酸化を 5 分間行い、ゲート電極として Pt を 3 nm 堆積した。以上のプロセスはすべて真空中で連続して実施した。また比較として AlO_x 界面層を挿入していない試料も作製した。これらの試料に対して SPring-8 内の日本原子力研究開発機構専用軟 X 線ビームライン（BL23SU）に設置された表面反応分析装置を用いた SR-PES により、絶縁膜及び界面構造を評価した。

３．結果及び考察

Fig.1 に Ge 基板上に HfO_2 膜を堆積した HfO_2/Ge 構造の実験室系 XPS 分析から取得した Hf 4*f* スペクトルを示す。HfO_2 由来の Hf^{4+} ピークよりも低結合エネルギー側にピークが存在することがわかる。HfO_2（Hf^{4+}）は metal-Hf（Hf^{0+}）に対して約 4 eV の化学シフトを示すことから、低結合エネル

ギー側のピークは $HfGeO_x$ 成分に起因すると考えられる。すなわち、室温にも関わらず、HfO_x 膜の成膜過程で Ge 基板との間で相互拡散が生じたことを意味する。一方で、HfO_2 膜堆積前に極薄 AlO_x 界面層を形成した $HfO_x/AlO_x/Ge$ 構造では、僅か 0.15 nm の AlO_x 層を挿入することで $HfGeO_x$ 成分は全く見られず、HfO_2 膜中への Ge 拡散を抑制できることが分かった。さらに、AlO_x 層越しのプラズマ酸化では、室温でも良質な極薄 GeO_x 界面層が形成できることを確認している。以上のことから、AlO_x 界面層挿入による電気特性向上が期待できる。

次に、作製した $Pt/HfO_x/AlO_x/GeO_x/Ge$ 構造と $Pt/HfO_x/GeO_x/Ge$ 構造に対して、熱処理と SR-PES 測定を真空中で繰り返し行い、熱的安定性を評価した。Fig. 2 に 350°C の熱処理を施した試料の Hf 4*f* スペクトルを示す。AlO_x 界面層を挿入した試料では HfO_2 のみが形成されているのに対し、AlO_x 界面層がない場合では、$HfGeO_x$ 結合に起因したピーク見られることが分かる。すなわち、熱処理中の HfO_2 膜と GeO_x 層間の界面反応に起因した $HfGeO_x$ 形成もまた極薄 AlO_x 層により抑制されたと言える。これらの試料から取得した Hf 4*f* スペクトルの $HfGeO_x$ 成分を Hf^{4+} 成分で規格化し熱処理温度に対してプロットしたものを Fig. 2(c)に示す。AlO_x 界面層のない試料では、300°C の熱処理でも $HfGeO_x$ 成分が増大する一方で、AlO_x 界面層を挿入することで、350°C 以下の熱処理において $HfGeO_x$ 成分が全く検出されておらず、AlO_x 界面層は、ゲートスタックの耐熱性向上にも効果的であることがわかった。

今後は、metal/high-*k*/Ge スタックの耐熱性評価および界面構造の詳細な解析を進め、極薄 EOT と優れた界面特性を両立する high-*k*/Ge ゲートスタック作製プロセスの確立を目指す。

４．引用（参照）文献等

[1] T. Hosoi *et al.*, Microelectron. Eng. **109**, 137 (2013).
[2] R. Zhang *et al.*, VLSI Tech. Symp., 161 (2012).

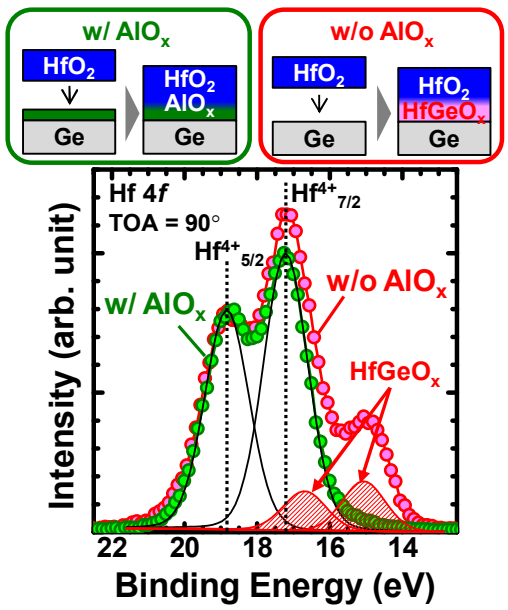

Fig. 1 Hf 4*f* core-level spectra measured from the HfO_x/Ge (red line) and $HfO_x/AlO_x/Ge$ (blue line) gate stacks by laboratory XPS (Al KŬ) at a photoelectron take-off angle of 90°.

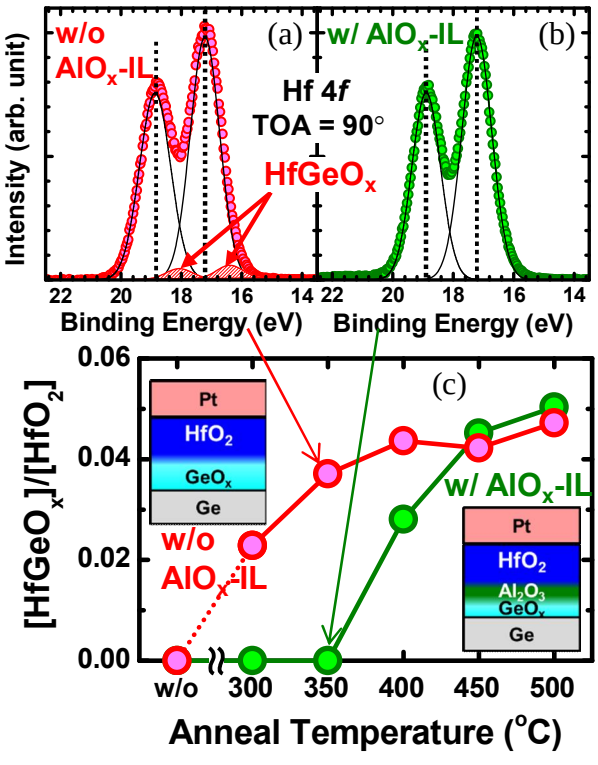

Fig. 2 Hf 4*f* spectra taken from the samples (a) without and (b) with AlO_x-IL after *in situ* annealing at 350°C for 1 min. (c) The areal intensity ratio of Hf-germanate ($HfGeO_x$) to HfO_2 peaks extracted by Hf 4*f* peak deconvolution as a function of the annealing temperature. *In situ* PMA was performed step-by-step in the analysis chamber.