

課題番号 : 2022A-E18
利用課題名 (日本語) : 高性能 MOS 型パワーデバイス実現に向けたヘテロ界面評価とその制御技術の開発
Program Title (English) : Characterization and control of insulator/semiconductor and metal/semiconductor interfaces for power MOS devices
利用者名 (日本語) : 渡部平司, 小林拓真, 野崎幹人, 溝端秀聡
Username (English) : H. Watanabe, T. Kobayashi, M. Nozaki, H. Mizobata
所属名 (日本語) : 大阪大学大学院工学研究科

キーワード: GaN、スパッタ成膜、XPS

1. 概要 (Summary)

縦型 GaN MOSFET の高性能化には SiO₂/GaN MOS 界面の高品質化が不可欠である。我々はプラズマ CVD 法で SiO₂ を成膜することで、SiO₂/GaN 界面に GaO_x 層が形成し、良好な界面特性が得られることを報告してきた。しかし GaO_x 層はその後の熱処理の過程で容易に還元して正の固定電荷生成を伴うため、MOS デバイスの閾値変動の原因となる。したがって本研究ではスパッタ成膜で SiO₂ を形成することで、不安定な GaO_x 層を最小化することを目的とした。

2. 実験 (目的,方法) (Experimental)

実験には n 型 GaN(0001)面エピ層 ([Si]: $2 \times 10^{16} \text{ cm}^{-3}$) を用いた。まず、スパッタ成膜により約 20 nm の SiO₂ 膜を堆積した。この際、ターゲットには SiO₂ を用い、室温・Ar 雰囲気下で成膜を行った。また、比較としてプラズマ CVD 法で SiO₂ を成膜した試料も用意した。絶縁膜形成後、フォーミングガス (H₂/N₂ 3%) あるいは真空雰囲気中で 200–800°C 30 分の熱処理を行った。最後に Ni ゲート電極 (直径 100 μm) および Al 裏面電極を真空蒸着することで MOS キャパシタを作製した。同時に界面 GaO_x 層の観察を目的とし、薄膜 SiO₂/GaN 試料 (SiO₂ 厚: 約 2 nm) を用意し、放射光 XPS 分析を行った。分析には、SPring-8 BL23SU の表面化学実験ステーション (SUREAC 2000) を用い、光電子脱出角度は 90°、X 線エネルギー 1253.6 eV の条件で測定を実施した。

3. 結果と考察 (Results and Discussion)

まず、MOS キャパシタの C-V 特性の評価を行った。スパッタ成膜直後の試料では欠陥への電子注入に伴うヒステリシスや特性のストレッチアウトが観察されたが、800°C でフォーミングガスあるいは真空熱処理を施すことで、良好な C-V 特性が得られた。続いて熱処理に伴うフラットバンド電圧 (V_{FB}) の変動について調べた。まず、プラズマ CVD 成膜試料では、800°C の熱処理で負電圧方向の V_{FB} シフトが生じた。これは成膜時に GaO_x 界面層が形成し、熱処理に伴って GaO_x 層が還元することで、正の固定電荷が生成したことによると推測される。対してスパッタ成膜試料では、フォーミングガス・真空熱処理のいずれの場合でも V_{FB} シフトは軽微であった。このことから、スパッタ成膜は界面 GaO_x 層の抑制に効果的であると推測できる。最後に放射光 XPS 分析により Ga 2p_{3/2} スペクトルを観察し、界面 GaO_x 層厚を評価した。結果、プラズマ CVD 成膜試料では、無視できない Ga-O 信号成分が観測されたのに対し、スパッタ成膜試料の場合に Ga-O 信号の明確な低減が見られた。このように、スパッタ成膜は不安定な GaO_x 層の抑制に効果的であることを見出した。

4. その他・特記事項 (Others)

本研究の一部は、文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業 (JPJ009777) および JSPS 科研費 (19H00767) の助成を受けた。