

課題番号 : 2021A-E15
利用課題名 (日本語) : 高性能 MOS 型パワーデバイス実現に向けたヘテロ界面評価とその制御技術の開発
Program Title (English) : Characterization and control of insulator/semiconductor and metal/semiconductor interfaces for power MOS devices
利用者名 (日本語) : 渡部平司, 小林拓真, 野崎幹人, 溝端秀聡
Username (English) : H. Watanabe, T. Kobayashi, M. Nozaki, H. Mizobata
所属名 (日本語) : 大阪大学大学院工学研究科
Affiliation (English) : Graduate School of Engineering, Osaka University

キーワード : 窒化ガリウム、極性、XPS

1. 概要 (Summary)

GaN MOSFET は高出力・低損失な次世代パワースイッチング素子として期待されているが、その作製には位置選択的なイオン注入による高ドープ領域の形成が必要である。N 極性である GaN(000 $\bar{1}$)面は Ga 極性の GaN(0001)面よりも熱安定性が高いことが知られており、イオン注入領域の高温活性化アニールへの適用が期待されているが、N 極性 GaN 基板を用いた GaN MOS デバイスの報告はほとんどない。本研究では GaN(000 $\bar{1}$)面上および GaN(0001)面上に SiO₂/GaN 構造を形成し、放射光 XPS 分析により MOS デバイスの性能指標となる SiO₂/GaN 界面のエネルギーバンド構造を評価した。

2. 実験 (目的,方法) (Experimental)

本研究では n 型 N 極性 GaN 基板 (キャリア濃度: $3 \times 10^{16} \text{ cm}^{-3}$) および Ga 極性 GaN 基板 (Si 濃度 $5 \times 10^{16} \text{ cm}^{-3}$ の n 型エピ層付き) を使用した。N 極性基板表面は研磨処理仕上げのため、GaN 基板表面部の加工ダメージが懸念される。従って、表面の加工変質層の除去を目的に誘導結合プラズマによる反応性イオンエッチング (ICP-RIE) を施した。Cl₂ および BCl₃ の混合ガスを使用した ICP-RIE で両基板の表面を 600 nm 程度エッチングした後、王水および HF 溶液で洗浄を行った。その後、プラズマ CVD により SiO₂ 層を 2 nm 成膜した。これらの試料を SPring-8 BL23SU の表面化学反応解析装置 (SUREAC 2000) に導入し、光電子脱出角度は 90°、X 線波長 1253.6 eV で放射光 XPS 分析を行った。

3. 結果と考察 (Results and Discussion)

我々は Ga 極性 GaN 基板上に作製した SiO₂/GaN MOS キャパシタには窒素雰囲気中 800°C、3 分間の SiO₂ 堆積後熱処理 (PDA) が有効であることを報告してきた。一方で N 極性 GaN 基板上の SiO₂/GaN MOS キャパシタの場合は 300°C の PDA では良好な界面特性が得られたが、PDA 温度が 400°C 以上になると界

面特性が劣化してしまった。つまり N 極性 GaN 基板上の SiO₂/GaN 界面は熱的に不安定であると考えられる。

そこで我々は、基板面方位や熱処理条件の違いが SiO₂/GaN 界面のエネルギーバンド構造に与える影響を評価するため、O 1s エネルギー損失スペクトルおよび価電子帯スペクトルの分析を行った。as-deposited 試料の堆積 SiO₂ 膜のバンドギャップは基板面方位によらず実験誤差の範囲で同等であった。しかし 800°C PDA を施した Ga 極性面上の SiO₂ 膜のバンドギャップは 300°C PDA 後の N 極性面上の SiO₂ 膜のバンドギャップより 0.3 eV 以上大きな値を示した。N 極性面上の SiO₂ のバンドギャップが小さいのは、PDA 温度が低いためと予測される。しかし N 極性面では既述の通り、界面特性の観点から PDA 温度を高くできない。一方で N 極性の GaN(000 $\bar{1}$)面の価電子帯オフセットは PDA の有無によらず Ga 極性の Ga(0001)面よりも 0.2 eV 以上大きくなった。パワーデバイスとして電子電流の抑制を目指す場合は価電子帯側よりも伝導帯オフセットが重要である。最適な熱処理条件後の SiO₂ 絶縁膜のバンドギャップは N 極性面上では Ga 極性面上よりも 0.3 eV 以上小さかったが、価電子帯オフセットは 0.2 eV 以上大きくなったため、SiO₂/GaN(000 $\bar{1}$)界面の伝導帯のオフセットとしては 0.5 eV 以上小さくなる。この結果から Ga 極性面上よりも N 極性面上の SiO₂/GaN MOS 構造の方が電子リーク電流による GaN MOS デバイスの信頼性の劣化が起こりやすく、ゲートリーク電流に注意が必要であると考えられる。

4. その他・特記事項 (Others)

本研究の一部は、文部科学省「革新的パワーエレクトロニクス創出基盤技術研究開発」事業 (JPJ009777) および科研費 (19H00767) の助成を受けた。

共同研究者 : 吉越章隆