

課題番号 : 2014A-E28
利用課題名 (日本語) : 点欠陥発生を介した統合 Si 酸化反応モデルを用いたゲート絶縁膜作製プロセスの開発
Program Title (English) : Formation process of gate dielectric films based on the unified Si oxidation model mediated by point defects generation
利用者名(日本語) : 小川修一¹⁾, 唐佳芸¹⁾, 西本究¹⁾, 石塚眞治²⁾, 吉越章隆³⁾, 寺岡有殿³⁾, 高桑雄二¹⁾
Username (English) : S. Ogawa¹⁾, J. Tang¹⁾, K. Nishimoto¹⁾, S. Ishizuka²⁾, A. Yoshigoe³⁾, Y. Teraoka³⁾, Y. Takakuwa¹⁾
所属名(日本語) : ¹⁾東北大学多元物質科学研究所, ²⁾秋田工業高等専門学校, ³⁾日本原子力研究開発機構
Affiliation (English) : ¹⁾IMRAM, Tohoku University, ²⁾Akita National College of Technology, ³⁾Japan Atomic Energy Research Agency
キーワード : 「その場」観察光電子分光、統合 Si 酸化反応モデル、酸化誘起界面歪み

1. 概要 (Summary)

3次元構造を持つ FinFET において Si(111)面と Si(001)面の酸化速度の違いはデバイスの信頼性に関わる問題である。本研究では、Si(111)表面と Si(001)表面酸化速度を測定し、Si(111)表面では室温酸化において自己増速酸化が発現するが Si(001)は発現しないことを突き止めた。これは SiO₂/Si 界面の酸化誘起歪みによる点欠陥発生の違いに起因すると考えられ、この歪みの違いは酸化膜の酸化状態の違いが原因であると示唆された。

2. 実験(目的,方法) (Experimental)

次世代のトランジスタとして 3次元構造をもつ FinFET が期待されている。FinFET は従来の FET で使われている Si(001)表面だけでなく、Si(111)表面も酸化させなければならない。しかしながら、(001)面と(111)面では酸化速度の違いがあることが知られており、これによって FinFET のゲート絶縁膜厚の不均一が生じてデバイス特性が悪化してしまう。本研究では Si(001)表面と Si(111)表面における酸化速度の違いが発生する原因を解明し、この酸化速度の違いが克服可能なかを検証するため、Si(001)表面と Si(111)表面酸化過程の「その場」観察光電子分光測定を行った。

光電子分光測定はSPring-8のBL23SUに設置されている表面反応分析装置を用いて行った。光子エネルギーは 711 eV である。試料である Si(001)と Si(111)基板は表面の自然酸化膜や吸着有機物を除去するため、実験前に 1000°C でアニールを行った。クリーニング終了後、試料温度が 100°C 以下になったところで純度 99.99% の乾燥酸素を 3.7×10⁻³ Pa まで導入し、Si 表面

を酸化させた。酸化中に光電子分光測定を繰り返し行い、酸素膜厚および酸化状態の時間変化を求めた。

3. 結果と考察 (Results and Discussion)

Si(001)表面と Si(111)表面の両者とも酸素曝露量の指数関数的増加に対して酸化膜厚は直線的に増加する。これは酸化速度の時間変化が指数関数を用いて記述できることを示している、しかし、Si(111)表面において曝露量が 3×10⁵ L (1 L = 1.33×10⁻⁴ Pa) に達したとき酸化膜厚の曝露量変化に偏極点が現れ、その後の酸化速度が増加して増速酸化が始まった。このような自己増速酸化反応は SiO₂/Si(001)界面の酸化反応では観察されなかった。この自己増速酸化が始まる時の界面歪み成分に着目すると、Si^β の著しい増加が見られた。このとき酸化状態は Si⁴⁺だけでなく Si³⁺も増加した。Si(001)表面では Si^β と Si³⁺の増加が見られず Si⁴⁺が単調に増加した。Si(111)表面酸化は Si³⁺の増加が界面に大きな歪みを発生させて自己増速酸化を引き起こしているとし唆される。

4. その他・特記事項 (Others)

本研究は JSPS 科研費 25870064 および 26・4955 の助成を受けたものです。