

高環境耐性レゾルバとそのドライバの放射線耐性の把握

Examination for radiation resistivity of
high environmental resistant resolver and its driver

大槻 真嗣 ¹⁾	林 博諭貴 ²⁾
Masatsugu OTSUKI	Hiroyuki HAYASHI
小林 大輔 ¹⁾	柴田 優一 ³⁾
Daisuke KOBAYASHI	Yuichi SHIBATA
牧野 高紘 ⁴⁾	小野田 忍 ⁴⁾
Takahiro MAKINO	Shinobu ONODA

¹⁾ (独) 宇宙航空研究開発機構, ²⁾ (有) キュリオス,
³⁾ 東京大学, ⁴⁾ (独) 日本原子力研究開発機構

(概要)

我々は人工衛星や惑星探査機に搭載されるアンテナのジンバル機構や太陽電池パドル、マニピュレータ関節等の角度検出センサとして、広範囲の温度環境で使用できる小型、低消費電力、高分解能な変調波レゾルバの開発を行った。本申請課題ではその駆動回路（ドライバ）の耐放射線性の把握と性能向上を図ることを目的としている。サイクロトロン（カクテル5）での重イオン照射試験において主要部品となる FPGA のシングルイベント（SEU, SEL）耐性を評価し、その解決策の検討を行うことができた。また、ガンマ線照射（Co60）によるトータルドーズ試験において、現状の駆動回路において放射線耐性の低い部品を把握することができた。今後、放射線耐性の低い部品の挿換、ならびに FPGA の駆動電圧の低下による SEL 耐性の改良、三冗長比較出力による出力異常の低減を試みることを計画している。

キーワード：レゾルバ（絶対角度センサ）、FPGA/CPLD、SEU、SEL、トータルドーズ

1. 目的

角度センサは人工衛星や惑星探査機に搭載されるアンテナのジンバル機構や太陽電池パドル、マニピュレータ関節等の角度検出に必須の機器であり、特に月惑星表面の探査機で使用される角度センサには広い温度耐性、粉塵耐性等の高環境耐性が要求され、同時に小型軽量化・低消費電力化も課題及びニーズとされている。そこで新規に開発した変調波レゾルバ（※位置や絶対角度の検出センサ）とそのドライバを高環境耐性化・低消費電力化することで、多くの衛星や探査機で要求される仕様を包括できるような角度センサを実現することを目指している。その中で、暴露部に設置されること多いレゾルバ本体と宇宙機内部に設置される駆動（ドライバ）回路、これらの耐放射線特性を評価することが本研究の目的となる。

レゾルバ開発の全体計画として、H23 年度に高環境耐性変調波レゾルバの開発を実施し、月面環境と同じ温度範囲の熱真空試験を通してその成立性を確認した。今年度より 2 年間で、ドライバへ宇宙環境耐性を持たせるために、ドライバ回路の小型化、低消費電力化、熱分布の拡散、耐放射線特性の把握が課題として挙げられている。本研究では、耐放射線特性の把握を行うことが主目的であり、複数年度で次の 2 段階の試験を通じてその特性を把握するものとしている。

1. レゾルバドライバ回路に用いられる部品の放射線試験（SE,TD 試験にて）
2. レゾルバ本体を含むドライバ回路全体の放射線試験（静止状態、駆動状態共に TD 試験にて）

今年度は第一段階として、ドライバ回路の部品リストの作成と主要機器の耐放射線特性を把握することに注力する。具体的に、駆動回路の小型化に伴い励磁ならびに信号解析回路に用いられる FPGA（アルテラ社製 MAX II^{II}、CPLD とも呼ぶ）のシングルイベント（SEU ならびに SEL）耐性評価と FPGA が組み込まれる駆動回路全体のトータルドーズ耐性評価を実施する。

目標数値として、トータルドーズ耐性 0.5kGy 以上、シングルイベント（SEU）の発生頻度として 30 分以上起きないことを 99%保証することを目指す。今回は既使用の民生品 CPLD の耐性を確認し、その使用可能性を調査する。

2. 方法

本試験では、新規に開発した変調波レゾルバとそのドライバ回路の放射線耐性を調査するものである。まず、主要部品である FPGA のシングルイベント (SEU,SEL) への耐性を、サイクロトロン加速器 (HE2ポート,カクテル5ビーム) を利用して評価した。結果として、10 時間と 12 時間計 22 時間の照射を行った。次に、トータルドーズ耐性では、総線量 2.4kGy 程度 (線量率 0.8kGy/h) までの範囲で特性調査するため、コバルト 60 の照射設備、食品照射棟第 2 照射室にて試験を行った。以下に各試験の詳細を記載する。

【単一・シングルイベント (SE) 試験】

試料となる FPGA をガラスエポキシの基板に周辺部品も含めて実装し、アルミ製の治具を用いて、チャンバ内ゴニオ上に固定した。基板と真空チャンバ間はシールド線で接続し、チャンバ外に置かれた、オシロスコープ、マルチメータやDC電源、シリアル信号を観測する遠隔 PC と BNC のフィードスルーを介して同じくシールド線で接続された。また、オシロスコープ、マルチメータや遠隔 PC は LAN ケーブルを介して、計測室にある制御用 PC に接続された。図 1 にブロック線図を記載する。

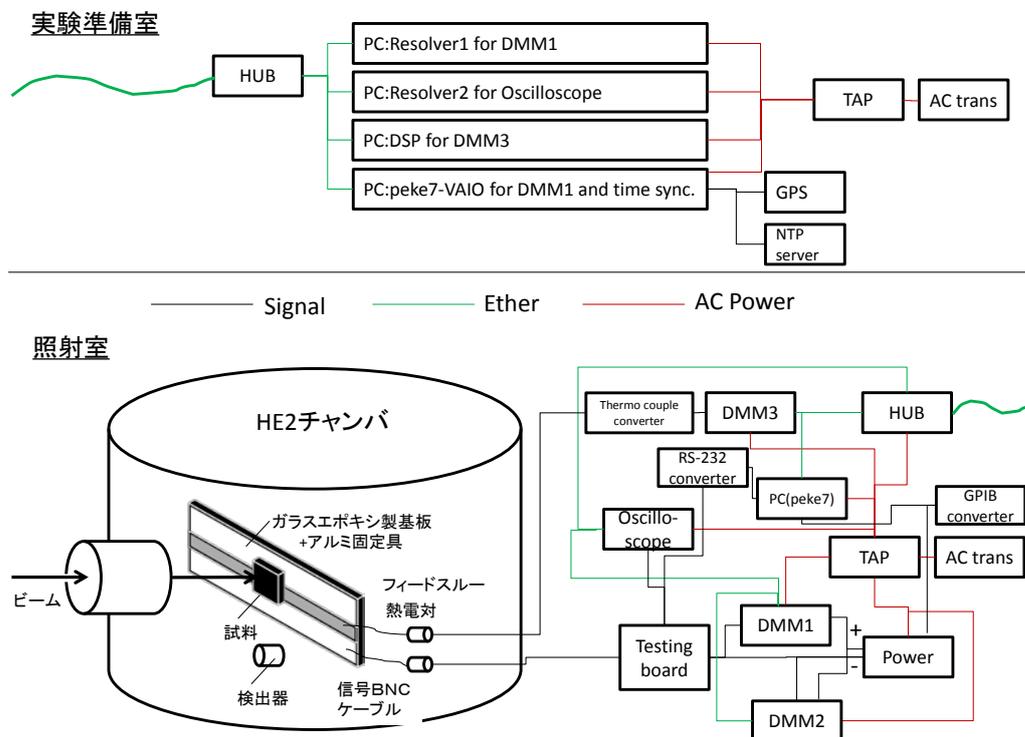


図 1 実験装置配線図

次に、照射試料となる FPGA 内部のロジックの詳細を図 2 に記載する。

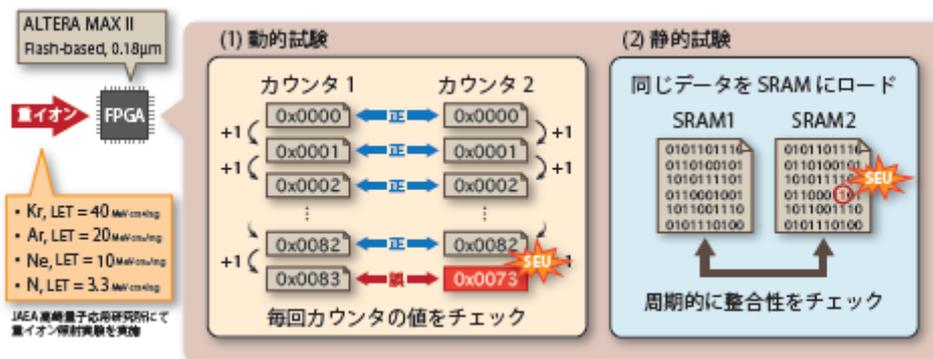


図 2 FPGA 内ロジックの詳細

SEU 試験

制御回路では、SRAM にロードした所定の波形データから励磁波を出力し、カウンタで位相差を測定している。FPGA にはエラーカウントのために次の機能を実装させた。

- (1) 動的試験として、自走カウンタを 2 つ同期動作させ、値の相違でエラーとする。
 - (2) 静的試験として、同じデータがロードされた SRAM の内容を周期的にチェックし、値の相違でエラーとする。
- エラーが確認された後、手動にて電源を On/Off することでリセットすることとした。

SEL 試験

被試験デバイスの電源電流が通常時の 2 倍となった場合、SEL と判定する。また、過電流による故障を防ぐため直流安定化電源の電流リミットを設定し、発生直後に電源を On/Off することでリセットすることとした。

このような構成ならびにロジック記述でカクテル 5 ビームの各イオン種で、シングルイベント (SEU, SEL 共に) 発生頻度を計測し、クロスセクションカーブを取得した。

【冗長・シングルイベント (SE) 試験】

「単一」の場合と同様に配線し、FPGA 内のロジックを図 3 のように三重冗長の比較出力とし、シングルイベントに対する耐性評価を実施した。これは参考文献 2 で見られるように、Flash メモリの部分で SEU が起きているのではなく、その経路にて反転が起きているという前提で経路を三重冗長とし、メモリに記録された定義データはひとつとしている。

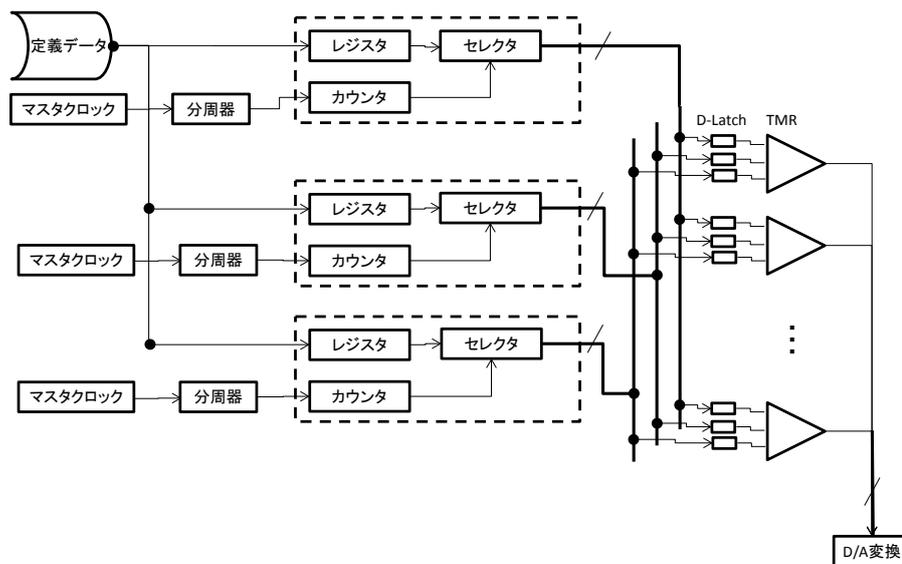


図 3 FPGA 内ロジックの三重冗長構成

SEU 試験

制御回路では、レジスタに書かれたデータをカウンタ数に応じて読み出し後、ビット毎に 3 つを比較出力した。FPGA にはエラーカウントのために次の機能を実装させた。

- (1) 各系において、D-Latch 部での値比較で異なるものを見つけた場合、SEU としてカウントし、その後自動リセットを行う。
- (2) 比較回路の出力波形に異常が見られた場合、SEU としてカウントする。

自動リセットを除き、出力波形が乱れた場合には、手動で電源を On/Off した。

SEL 試験

「単一」試験の場合と同様とした。

【トータルドーズ (TD) 試験】

FPGA が搭載された 2 種類 3 個の基板を 3mm の厚さのアルミ箱に収めた状態で照射した。また、各機器は常に電源 ON の状態にあり、外部にてレゾルバ出力信号がモニタされた。線量率は 0.8kGy/h 程度を想定し、総線量は 2.4kGy 程度とした。異常が生じた時点で照射を停止し、試料の電気特性の変化を確認した。

表 1 トータルドーズ試験の使用基板と主な対象部品

No.	基板種類	対象部品
No.1	放射線試験用基板	FPGA、発振器、レギュレータ
No.2	放射線試験用基板	FPGA、発振器、レギュレータ
No.3	レゾルバ制御基板	FPGA、発振器、レギュレータ、AMP、ロジックetc

3. 結果及び考察

【単一・シングルイベント (SE) 試験】

まず、自動リセット動作に不備があり、自動的なエラー検知は行えなかったため、急きょ手動によるエラー確認後の電源リセットという手順を採用した。

実験データ (各イオンビームにおけるエラーカウント数) とワイブル関数^[3]による近似結果を図 4 に示す。またこの図には次の【冗長・SE 試験】の系毎でのエラーカウントも含んでいる。

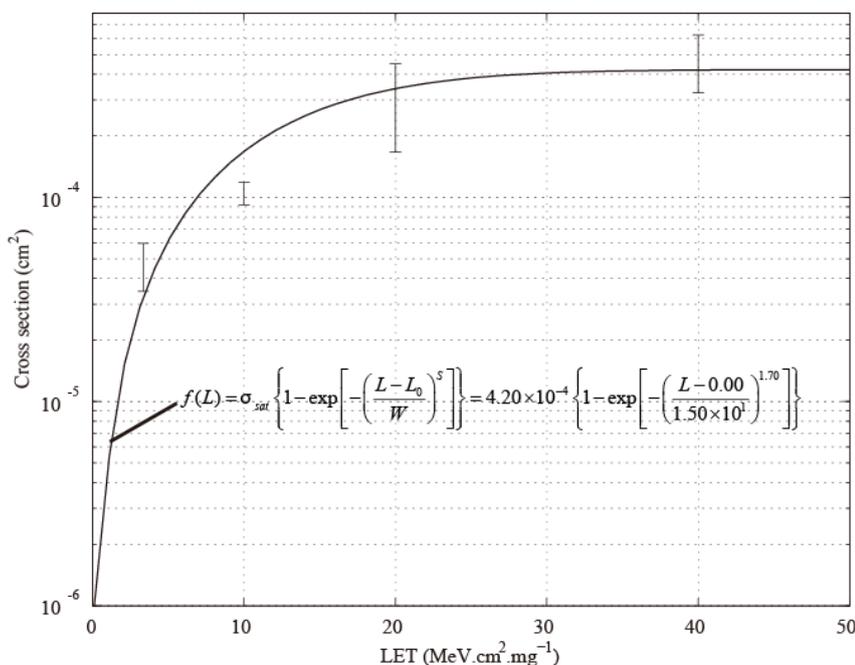


図 4 照射試料 (FPGA) のクロスセクションカーブ (標準偏差のエラーバー付)

結果として、CREME98 を利用した計算で、惑星間軌道 119 日に 1 回の頻度で SEU が発生することがわかった。レゾルバ制御回路において、このエラーレートが実用面でどの程度影響があるのかを見積もり、対策を講じる必要がある。また、手動によるエラー確認を行ったため、サンプル数が少なく、標準偏差が大きくなった。今後、エラー検知の自動化によるサンプル数の増加、エラー発生間の経過時間の評価により、標準偏差を小さくする対策を施す。

一方、SEL に対する耐性を確認したところ、LET が 10 以下では一切起きることがなかったため、フィッティングを行うことはできなかった。LET が 20 と 40 の場合において、クロスセクションはそれぞれ、 1.08×10^{-4} および $5.44 \times 10^{-4} \text{ cm}^2$ となった。

試験改善点として、自動リセット (比較データの復元) の実現、カウンタエラーと比較データエラーの区別、エラー数のカウントの自動化に伴うサンプリング周期の高速化、SEL 発生時の電源 On/Off の自動化、これらが認識された。

【冗長・シングルイベント (SE) 試験】

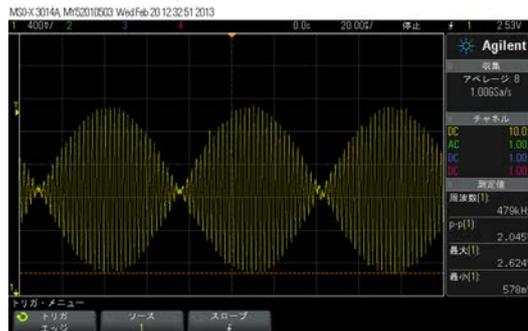
この試験での各系における SEU の発生に関しては図4のグラフに含まれている。また, SEL についても, 単一の場合の統計データに含まれている。

三重冗長比較出力の異常に関しては, LET が 40 において 1 度だけ確認されたが, 統計データとして, 評価することができないため, 今後の試験で追加検討を考えなくてはならない。試験結果より, 次のようなことが認識された。

- 三重冗長内の各系では SE が単一の場合と同程度に発生していることがわかった。
- 三重冗長内の各系でエラーが一度発生した場合とさらにもう一度連続して発生した場合を比較しても, 結果として出力される波形乱れに有意な差は見られなかった。
- 三重冗長の各系で SE が起きると, ほとんどが問題のない程度で波形がひずむことはわかった。
- SEL の発生頻度が高く, SEU のカウントに支障を来すため, 今後電圧の低い FPGA での試験を検討しなくてはならない。
- 本検証対象であるアルテラの FPGA は間接型フラッシュ FPGA に分類されることがわかった。つまり, ビット反転が起きないと想定していた, 定義データ部でも SE のエラーが高頻度で発生する可能性があるため, 三重冗長範囲の拡大等で対策しなければならない。

また, 各系内で SEU が発生しても電源リセットを行わず, 2 回 SEU が連続して発生した後の出力を図5のように観察した。これは, TMR が出力異常を起こす場合の状況を模擬しており, レゾルバとしての機能障害の影響がどこまで及ぶかを評価するための材料となる。一方, この出力異常が, 各系内を流れる信号の 1 ビット反転で再現できるかどうか確認することも今後の課題である。

比較的正常な出力信号



異常となる出力信号

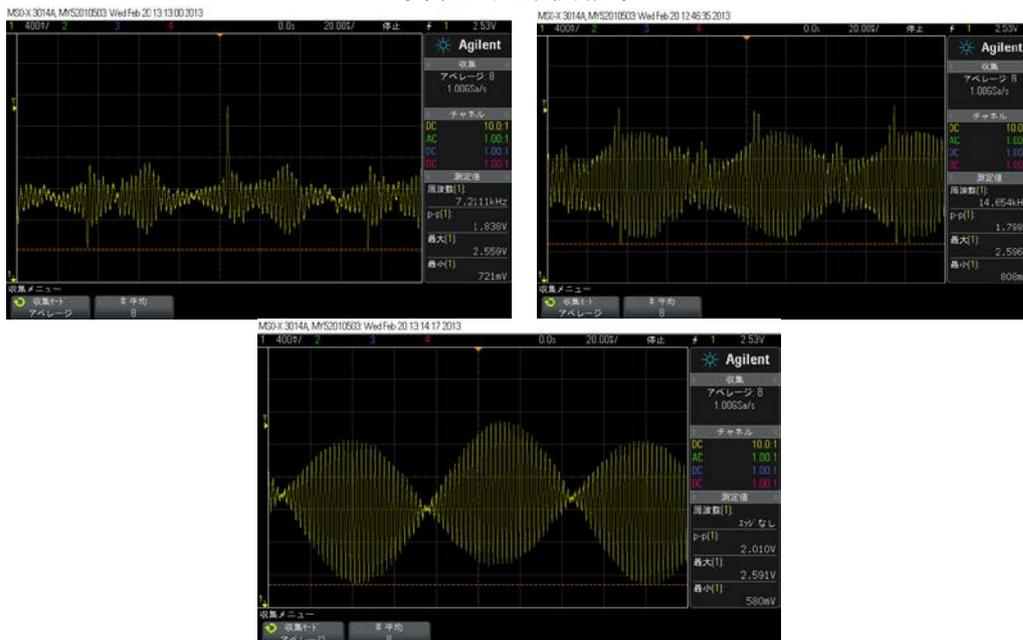


図5 二回の SEU が系内で発生した場合の TMR 出力信号

【トータルドーズ (TD) 試験】

結果として、1kGy/h の線量率で約 3 時間、計 3.0kGy の照射を行った。次の二段階の照射となった。

0.36kGy まで

No.1：照射開始後 15 分程度で異常（波形出力の消滅）となった為、その時点で試験を中止した。

No.3：異常なし。

3.0kGy まで (No. 2 を入れる.)

No.2：No.1 と同程度の時間で異常（波形出力の消滅）となったが継続して照射した。

No.3：途中異常が見られたが、継続して照射した。

試験終了後、各基板の部品を調査したところ、異常となった部品が特定された。

[No.1]

発振器が壊れ、出力が電源上限 (3.3V) に張り付いたようであった。2 日後、発振器を交換したところ正常動作が確認され、その他の異常は認められなかった。発振器は 14 日後も異常のままのためアニール効果は認められていない。今回用いた FPGA は 0.36kGy までは耐性があることも確認された。

[No.2]

3.0kGy 照射 2 日後、電流が 142mA 流れる (120mAup) 状態であることを確認した。発振器の出力も high 側に固定されていた。レギュレータの異常と考えられたが、調査の結果、FPGA が異常であり、その為、過電流が流れていた。FPGA 交換後電流は正常値 (22mA) となり、発振器交換で F P G A 動作も正常となった。FPGA は、焼き込み用 I/F である JTAG 通信でエラーとなり、イレース、書き込み、読み出しができない状態であった。FPGA、発振器は 14 日後も異常のままである。

[No.3]

3.0kGy 照射 2 日後、電流が全体で 40mA 程度しか流れず、レギュレータの出力が出ていない (0.0V) 事が判明した。レギュレータの交換で 3.3V 出力は復帰したが、正常動作はせず、FPGA を調査したところ、No.2 と同じ状態であった。FPGA を交換後、基板としての動作は正常となった。更に調査したところ、アナログスイッチの片側も機能していない事が判明した。しかし、アナログスイッチの片側が機能していない状態でも、変調波の検波の機能が劣化するものの、全体動作としては正常に行われていた。レギュレータ、FPGA は 14 日後も異常のまま、アナログスイッチは 14 日後も機能劣化のままである。

結果をまとめると次のようになった。

No.	照射時間	異常(破壊)	動作劣化
No.1	15分	発振器	
No.2	3H	発振器、FPGA	
No.3	3H	レギュレータ、FPGA	アナログスイッチ

- ・0.36kGy(水換算)付近にて、水晶発振器が壊れ、2 個同じレベルで発生している。
- ・3.0kGy までに 3 回程度部品が電圧、電流変化があり、その都度何かが壊れていたが特定はできなかった。
- ・FPGA は 0.36kGy までは耐えられることがわかったが、それ以上どこで破壊されたかは特定できなかった。
- ・終了 1 時間前でも少なからず何らかの波形がでていた。形はいびつだが周期的であった。しかし、終了時にはその波形も見られなくなった。

今後各部品に対して以下の対策を施し、照射総線量を 1.0kGy 程度までとし、再度評価する予定である。

発振器：実績で 1.0kGy 以上の耐性のある発振器に交換をする。

レギュレータ：発振器と同様とする。

FPGA：同メーカーの電源電圧の低い FPGA に交換することで SEL 耐性を向上させ、TD 耐性を特定する。

また、SE に対して強い耐性を持つ別メーカーの FPGA/CPLD もバックアップデバイスとして、TD 耐性を評価する。

4. 引用(参照)文献等

- 1) 対象部品 (FPGA) の情報サイト (2013/04/03 現在, <http://www.altera.co.jp/devices/cpld/max2/mx2-index.jsp>)
- 2) N. Battezzati, et al., Methodologies to study frequency-dependent single event effects sensitivity in flash-based FPGAs, IEEE Tran. Nuclear Science, Vol.56, No.6, pp.3534-3541,2009
- 3) N. Sukhaseum, et al., Statistical estimation of uncertainty for single event effect rate in OMERE, Proc. RADECS 2011 – PE-4, pp.401-407, 2011