

“宇宙用太陽電池・半導体素子の耐放射線性の研究(IV)

—薄膜型太陽電池・超微細化デバイスに対する耐放射線性—”

A study of the radiation tolerance of solar cells and semiconductor devices for the space(IV)

丸 明史¹⁾ 水田 栄一¹⁾ 海老原 司¹⁾ 新藤 浩之¹⁾ 久保山 智司¹⁾ 阿部 浩之²⁾

Akifumi MARU Eiichi MIZUTA Tsukasa EBIHARA Hiroyuki SHINDOU Satoshi KUBOYAMA Hiroshi ABE

¹⁾宇宙航空研究開発機構 ²⁾原子力機構

(概要)

宇宙航空研究開発機構は宇宙機に用いる部品の入手自在性を確保するため、戦略的部品の国産化を目指し、重要宇宙用部品の自主開発を進めている。平成24年度は本開発計画に基づき、0.15μm SOI プロセスを用いた SOI-ASIC(Application Specific Integrated Circuit) 試作サンプルの耐放射線性評価の一部を施設供用マシンタイムを用いて実施した。試験の結果、回路に施した対策の有効性の確認や、対策の不十分である部分を特定することができ、宇宙用部品開発へ評価結果をフィードバックすることができた。

キーワード： 宇宙用部品、SOI-ASIC、

1. 目的

近年の宇宙機では、画像処理、高精度位置決定等の目的で、大容量のデータを高速に処理する電子機器が必要とされており、使用される半導体素子に対しても、一般民生用部品で適用されている最先端技術に匹敵する微細化が必要とされている。昨年度までの研究で実用化の目処を得た0.15μm SOI 製造プロセスは、JAXA で開発中の FPGA(Field Programmable Gate Array) や特定用途向け LSI(ASIC) への適用が進んでおり、ここ数年の宇宙開発での活躍が期待される。PLL(Phase-Locked Loop:位相同期回路)も将来の高速演算マイクロプロセッサ等に必須となるASICの一つであり、宇宙用の耐放射線性PLLの開発が求められている。今回はこの宇宙用SOI-PLLの試作サンプルに対してカクテルイオンビームを照射し、このデバイスの耐放射線性を評価した。

2. 方法

図1に示すPLL回路を0.15μmSOI プロセスを用いて試作した。本PLLでは全てのデジタル回路及びアナログ回路に対して、図2に示すSFI(SET Free Inverter)回路を適用している[1]。SFI回路はSOIプロセスでのみ有効なSETパルスの発生そのものを防ぐ回路で、他のデジタル回路において実績のある、回路による放射線対策である。試験の際は入力10MHzに対し、100MHzの周期波形を出力するように設定し、照射中の出力への放射線照射影響をオシロスコープでモニタした。

3. 結果及び考察

カクテルイオンの照射の結果、LET=68.8MeV/(mg/cm²)のXe粒子までで、出力波形の周期が致命的に乱れるようなイベントは発生せず、一定の耐放射線性を有することが確認された。しかしながら出力周期波形の幅が一時的に伸び縮みするイベントは一定の頻度で観測された。このような一時的な出力の伸び縮みは、実用回路においてクリティカルなイベントではないが、これはPLL中のアナログ回路においてSFI回路の適用のみでは十分な対策となっていないことが起因していると考えられる。アナログ回路における放射線対策について、今後も継続して検討し、評価していく予定である。

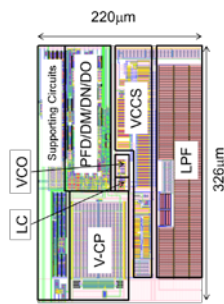


図1 PLL 試作回路

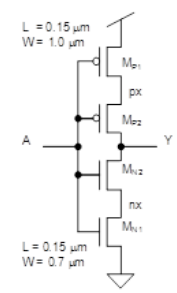


図2 SFI 回路

4. 引用(参照)文献等

[1] A. Makihara et al., IEEE Trans. Nucl. Sci. 53 (6)(2006)3422-27