

耐ソフトエラーフリップフロップの重イオンエラー耐性の評価、エラーパルス長分布の測定、基板電位変動とエラーパルスの相関の測定

Evaluation of Error Resilience to Heavy Ions on Radiation-Hardened Flip-Flops,
Measurement of SET Pulse-Width Distributions and Correlations between Well-Potential
Perturbation and SET Pulses

小林 和淑, 増田 政基, 竹内克行¹⁾ 古田 潤²⁾

Kazutoshi Kobayashi, Masaki Masuda, Katsuyuki Takeuchi, Jun Furuta

¹⁾ 京都工芸繊維大学 ²⁾ 京都大学

(概要)

LSI のソフトエラー耐性を測定するために、重イオンカクテルビームを、65nm CMOS プロセスにて試作した LSI 上に照射する。LSI 上には、耐ソフトエラーフリップフロップ、SET パルス測定回路、基板電位とエラーパルスの相関を求めるための回路が搭載されている。耐ソフトエラーフリップフロップ (FF) では、10LET 程度の低い LET において、通常の FF の 50 倍以上のエラー耐性が得られることがわかった。また、SET パルス計測においては、インバータの駆動力が大きくなると、基板を固定するタップからの距離依存性が見られない結果となった。

キーワード: ソフトエラー, 重イオン, 耐ソフトエラーフリップフロップ, SET パルス,

1. 目的

本実験の目的は、シリコン基板上に実装した回路が重イオンビームにより受ける影響の評価を行うことである。具体的には次の 3 点を目的とする。

1. 耐ソフトエラー FF の SEU、MCU の発生状況を様々なエネルギー (LET) のイオンを用いて測定する。
2. SET (Single Event Transient) パルスの分布 LET 毎に測定する。
3. 基板電位の変動と SET パルスの相関を LET 毎に求める。

2. 方法

本実験では、トランジスタ特性を変更して製造した 5 種類のチップ内の各種フリップフロップのソフトエラー耐性を調べる。実験は、シングルイベント用チャンバーに専用治具を置き、その上に照射を行う LSI を搭載したボードを置く。LSI の制御はチャンバー外に置く LSI テスタにより行う。LSI テスタは USB ケーブルを用いて Windows PC により制御するが、光ファイバーにて操作室まで高速なネットワーク回線を引くことにより、リモート制御を行う。

3. 結果及び考察

耐ソフトエラーフリップフロップは、BCDMR (Bistable Cross-coupled Dual-Modular Redundancy) FF とそれを低消費電力化した BCDMR ACFF (Adaptive Coupling FF) の 2 種類を、通常のエラー耐性を持たない TGFF, ACFF と共に評価を行った。LSI 内部の PLL (Phase-Locked Loop) により、100MHz, 300MHz のクロックを与えて測定を行った。耐ソフトエラーフリップフロップは、BCDMR (Bistable Cross-coupled Dual-Modular Redundancy) FF とそれを低消費電力化した BCDMR ACFF (Adaptive Coupling FF) の 2 種類を、通常のエラー耐性を持たない TGFF, ACFF と共に評価を行った。LSI 内部の PLL (Phase-Locked Loop) により、100MHz, 300MHz のクロックを与えて測定を行った。表 1 にクロック周波数とイオンのエネルギー (LET) によるエラー耐性の関係を示す。エラー耐性は、通常 FF と耐ソフトエラー FF の比として表しており、小さいほうが耐ソフトエラー FF の効果が小さくなる。おおまかな傾向として、イオンの LET が大きくなるほど、耐ソフトエラー FF の効果が小さくなっている。これは、LET の増大により、複数ビット反転 (MCU) が多発し、多重化によってエラー耐性を高めている多重化 FF の効果が弱くなっていると考えられる。一部で、LET が大きいほうが効果が大きくなっているところがある。この原因としては、測定誤差も考えられるが、基板バイポーラによる MCU の抑制効果が働いている可能性も考えら

れる。

SET パルス幅測定回路を用いてインバータの SET パルス幅を測定した結果を図 1 に示す。SET パルス幅は LET に対して単調増加となった。SET パルス幅のタップ距離依存性も確認され、2 μ m と密に配置したインバータでは SET パルス幅が減少し、50 μ m と比較して 25~100ps 程度の差が生じている。タップを密に配置することで粒子線衝突による基板電位の変動が抑制され、寄生バイポーラによる電荷の供給量が減少したことが原因と考えられる。このタップセルによる抑制効果は 1x インバータで顕著に生じている。駆動力が小さい場合では寄生バイポーラによって供給される電荷を打ち消すのにより多くの時間が必要とされるからと推測される。

表 1 周波数, LET とエラー耐性の関係

LET	100 MHz		300 MHz		平均値
	TG / BCDMR	AC / BC-AC	TG / BCDMR	AC / BC-AC	
3.4	N/A	N/A	N/A	N/A	N/A
6.6	N/A	40.6	87.2	40.6	56.1
15.8	73.6	6.0	90.6	43.7	53.5
40.3	8.3	14.4	15.1	10.7	12.1

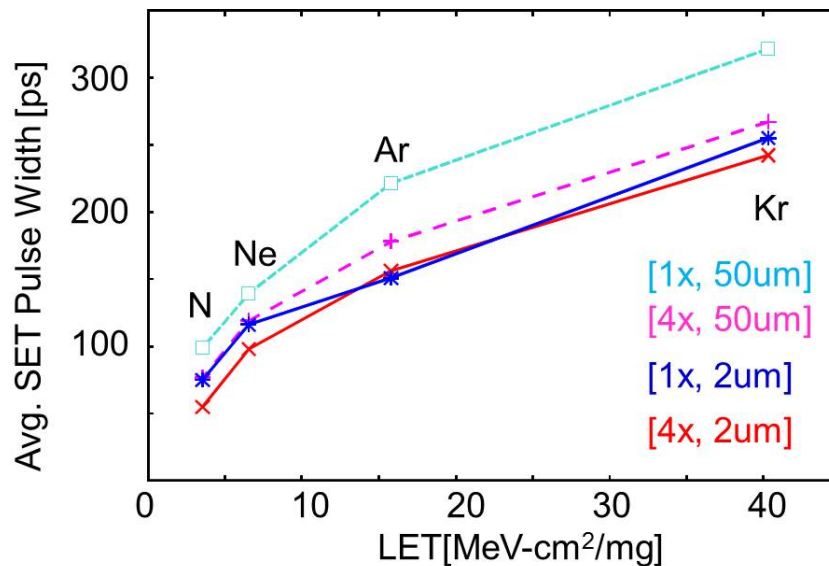


図 1 : 平均の SET パルス長と、イオン種、インバータドライブ能力の関係

4. 引用(参照)文献等

- [1] 村上賢秀, 山本亮輔, 小林和淑, 「重イオンビームを用いた冗長化フリップフロップのソフトエラー耐性評価」, 電子情報通信学会総合大会, no. C-12-14, 岡山市, 2012年3月
- [2] 増田 政基, 65 nm プロセスにおける低電力耐 ソフトエラー冗長化フリップフロップの設計と実測による評価, 京都工芸繊維大学修士論文, 2013/02
- [3] 竹内 克行 重イオンカクテルビームを用いた冗長化フリップフロップのソフトエラー耐性の評価, 京都工芸繊維大学卒業論文, 2013/02
- [4] K. Zhang, and K. Kobayashi, "Contributions of Charge Sharing and Bipolar Effects to Cause or Suppress MCUs on Redundant Latches", IEEE International Reliability Physics Symposium, pp. SE. 5. 1-SE. 5. 4, Monterey, CA, USA, Apr. 2013
- [5] J. Furuta, K. Kobayashi, and H. Onodera, "Impact of Cell Distance and Well-contact Density on Neutron-induced Multiple Cell Upsets", IEEE International Reliability Physics Symposium, pp. 6C. 3. 1-6C. 3. 4, Monterey, CA, USA, Apr. 2013